

KOREAN PATENT ABSTRACTS

(11)Publication number: 1019900000582 B1
 (43)Date of publication of application: 31.01.1990

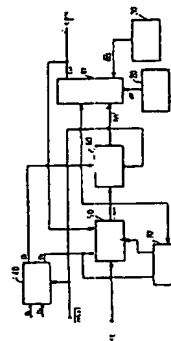
(21)Application number: 1019860010851
 (22)Date of filing: 17.12.1986
 (51)Int. Cl: G06F 1 /04

(71)Applicant: Samsung Electronics Co.
 (72)Inventor: Jeon, Woo-Jin

(54) CLOCK CONVERTING CIRCUIT FOR TV

(57) Abstract:

The circuit for converting to/from high speed clock signal from/to low speed clock signal relative each other includes a clock synchronous circuit (50) for generating a clock signal synchronized at the clock signal generated by a clock signal generator (10) when a READ signal is cleared by the second data ($D<SB\ POS=POST>2</SB>$), a clock latch circuit (60) latching a first data ($D<SB\ POS=POST>1</SB>$) when the clock synchronous signal is generated for providing a clock selection signal to the clock signal generator (10), and a control circuit (70) generating a pulse when the clock synchronous signal is generated for clearing the latch signal for the second data ($D<SB\ POS=POST>2</SB>$).



Copyright 1997 KIPO

Legal Status

Date of request for an examination (19861217)
 Notification date of refusal decision (00000000)
 Final disposal of an application (registration)
 Date of final disposal of an application (19900425)
 Patent registration number (1000329390000)
 Date of registration (19900507)
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent (00000000)
 Number of trial against decision to refuse ()
 Date of requesting trial against decision to refuse ()

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G06F 1/04

(45) 공고일자 1990년01월30일
(11) 공고번호 90-000582

(21) 출원번호	특1986-0010851	(65) 공개번호	특1988-0008121
(22) 출원일자	1986년12월17일	(43) 공개일자	1988년08월30일
(71) 출원인	삼성전자 주식회사 한형수 경기도 수원시 매탄동 416번지		

(72) 발명자 전우진
경기도 수원시 정자동 79-25
(74) 대리인 이건주

심사관 : 고금영 (특자공보 제1744호)

(54) 중앙처리 장치의 클럭 전환 제어회로

요약
내용 없음.

도면도

도1

영세서

[발명의 명칭]

중앙처리 장치의 클럭 전환 제어회로

[도면의 간단한 설명]

제1도는 클럭발생 구동회로의 내부회로도.

제2도는 본 발명에 따른 블록도.

제3도는 본 발명에 따른 제1도의 구체회로도.

제4도는 본 발명에 따른 제2도의 동작파형도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|----------------|----------------|
| 10 : 클럭발생회로 | 20 : 고속클럭 발생회로 |
| 30 : 리세트회로 | 40 : 데이터 래치회로 |
| 50 : 클럭동기회로 | 60 : 선택클럭래치회로 |
| 70 : 동기주기 제어회로 | |

[발명의 상세한 설명]

본 발명은 중앙처리장치(Central Processing Unit : 이하 CPU라 칭한다)의 클럭제어 회로에 관한 것으로 특히 CPU 동작중에 CPU로 공급되는 고속클럭과 정상클럭을 임의로 전환할 수 있는 클럭전환 제어회로에 관한 것이다.

일반적으로 CPU 동작클럭은 제1도에 도시된 바와 같이 클럭발생구동회로의 내부클럭 발생회로 출력과 클럭발생 구동회로에 공급되는 외부클럭발생회로의 출력을 사용하여 왔으나, 일단 CPU에 공급되는 클럭이 결정된 후 동작중에 클럭을 다른 클럭으로 전환할시에는 시스템이 다운(Down)되어 데이터가 흐트러지는 문제점이 있었다.

그러므로 CPU로 공급되는 클럭의 속도를 변환코자 하면 전원을 오프하였다가 다시 부팅(booting)하는 방식을 취해 왔었으므로, 이에 따른 시간적 낭비와 번거로움이 있었다.

따라서 본 발명의 목적은 CPU가 동작중에도 CPU의 동작클럭을 전환시킬 수 있는 회로를 제공함에 있다. 본 발명의 또 다른 목적은 고속클럭과 정상속도 클럭을 사용함으로써 CPU의 동작속도를 기능에 따라 변환

선택하여 사용할 수 있는 회로를 제공함에 있다.

상기 본 발명의 목적을 수행하기 위하여, 자체 발생의 정상클럭 또는 외부의 고속클럭을 선택하여 CPU로 동작클럭을 공급하는 클럭발생회로와, 고속클럭을 발생하여 상기 클럭발생회로로 출력하는 고속클럭발생회로와, 리셋 신호를 발생하여 상기 클럭발생회로로 출력하는 리셋회로와, CPU의 제어하에 클럭종류를 선택하는 제1데이터 및 클럭변환 유무를 결정하는 제2데이터를 래치하는 데이터 래치회로와, 상기 제2데이터 발생시 CPU의 리드신호 해제시점에서 래치한 후 상기 클럭발생회로의 클럭에 동기시키는 클럭동기 회로와, 상기 클럭동기 신호발생시 상기 제1데이터를 래치시켜 상기 클럭발생회로의 클럭선택 신호로 공급하는 선택 클럭 래치회로와, 상기 클럭동기 신호발생시 펄스를 발생하여 상기 클럭동기회로의 제2데이터 래치상태를 해제시키는 동기주기 제어회로로 구성된다. 이하 본 발명을 도면을 참조하여 상세히 설명한다.

제2도는 본 발명의 구성블록도로서, 자체 발생의 정상클럭 또는 외부의 고속클럭을 선택하여 CPU로 동작클럭(CLK)을 공급하는 클럭발생회로(10)와, 고속클럭을 발생하여 상기 클럭발생회로(10)로 출력하는 고속클럭발생회로(20)와, 리셋 신호를 발생하여 상기 클럭발생회로(10)로 출력하는 리셋 회로와, CPU의 제어하에 클럭종류를 선택하는 제1데이터(D1) 및 클럭유무를 결정하는 제2데이터(D2)를 래치하는 데이터 래치회로(40)와, 상기 제2데이터(D2) 발생시 CPU의 리드신호(MR)해제시점에서 래치한 후 상기 클럭발생회로(10)의 클럭(CLK)에 동기시키는 클럭동기 회로(50)와, 상기 클럭동기 신호발생시 상기 제1데이터(D1)를 래치시켜 상기 클럭발생회로(10)의 클럭선택 신호로 공급하는 선택클럭 래치회로(60)와, 상기 클럭동기 신호발생시 펄스를 발생하여 상기 클럭동기 회로(10)의 제2데이터(D2)를 래치상태를 해제시키는 동기주기 제어회로(70)로 구성된다.

상술한 구성에 의거 본 발명을 설명하면, 최초 전원 "온" 시 클럭발생회로(10)는 상기 리셋 회로(30)의 출력(RESET)에 의해 초기화된 후, 내부에서 발생되는 정상클럭을 선택하여 CPU의 동작클럭(CLK)으로 공급한다.

이후 사용자가 CPU의 동작클럭을 변환하고자 하는 경우, 선택하고자 하는 클럭의 종류 및 변환기능을 수행시키기 위한 명령을 입력시킨다. 그러면 CPU는 상기 선택클럭의 종류에 의해 제1데이터(D1)를 발생하고, 클럭변환 기능을 수행하기 위한 제2데이터(D2)로 발생시킨다. 상기 제1 및 제2데이터(D1, D2)는 상기 데이터 래치회로(40)를 통해 래치되며, 상기 제2데이터(D2)를 입력하는 클럭동기 회로(50)는 CPU에서 리드신호(MR : Memory Read)해제시점에서 상기 제2데이터(D2)를 래치한 후, 상기 클럭발생회로(10)의 클럭(CLK)과 동기시키는 클럭동기 신호(Csync)를 발생한다. 이때 상기 클럭동기 신호(Csync)를 입력하게 되면, 클럭발생회로(10)는 내부의 정상클럭에 의해 CPU의 동작클럭(CLK)을 발생하던 동작을 중지하는 상태가 된다. 또한 상기 클럭동기 신호(Csync)는 선택데이터 래치회로(60)의 클럭으로 인가되므로, 선택데이터 래치회로(60)는 상기 제1데이터(D1)를 미신호(Csync)에 의해 래치하여 상기 클럭발생회로(10)의 클럭선택신호(F/C)로 공급한다. 이때 상기 클럭발생회로(10)는 클럭선택신호(F/C)의 상태에 따라 고속클럭 발생회로(20)의 출력(EF) 또는 내부의 정상클럭을 선택하게 된다. 이때 상기 클럭발생회로(10)는 클럭동기 신호(Csync)가 발생되고 있는 상태이므로 클럭 클럭(CLK)의 상태는 변화가 없는 일정상태를 유지하고 있게 된다.

상기 클럭동기 신호(Csync)는 동기 주기 제어회로(70)로 인가되는데, 동기주기 제어회로(70)는 미신호를 소정 지연시킨 후 펄스신호를 발생하여 클럭동기 회로(50)로 인가한다. 그러면 상기 클럭동기회로(50)는 상기 동기주기 제어회로(70)의 출력에 의해 래치상태의 제2데이터(D2)를 풀리어시키며, 이로 인해 클럭동기 신호(Csync)의 상태가 변환된다. 따라서 클럭발생회로(10)는 상기 선택데이터 래치회로(60)를 출력하고 있는 제1데이터(D1)의 상태에 따라 고속클럭 발생회로(20)의 출력(EF) 또는 내부의 정상클럭을 분주하여 CPU의 동작클럭(CLK)으로 출력한다.

그러므로 CPU의 클럭전환 시, 버스싸이클이 종료되는 시점(MR 신호가 해제되는 시점)에서 클럭발생회로(10)로 클럭동기 신호(Csync)를 발생하여 클럭발생회로(10)의 동작을 중지시키는 동시에 클럭종류를 선택한다. 이후 상기 클럭동기 신호(Csync)신호를 소정 지연시켜 클럭동기 상태를 해제(disable)시킴으로서, 클럭발생회로(10)가 선택된 클럭을 분주하여 CPU의 동작클럭(CLK)을 발생하게 된다. 따라서 CPU는 동작중에 해당상태를 유지하며 동작클럭을 전환하게 된다.

제3도는 제2도의 구체회로도로서, 일렬 8284A(colk geneator)로서, 크리스탈 발진기(X-tal)를 통해 발생되는 정상클럭 또는 외부의 고속클럭(EF1)을 클럭선택 신호(F/C : Frequency/Crystal)에 의해 선택하여 CPU의 동작클럭(CLK)으로 공급하는 클럭발생회로(10)와, 고속클럭(EF)을 발생하여 상기 클럭발생회로(10)로 출력하는 고속클럭 발생회로(20)와, 전원온시 상기 클럭발생회로(10)로 리셋신호(RESET)를 발생하는 리셋회로(30)와, 어드레스 디코더(41) 및 래치(42)로 구성되어 CPU의 어드레스를 디코딩하여 포트선택 신호를 발생하고, 미 신호에 의해 제1 및 제2데이터(D1, D2)를 래치하는 데이터 래치회로(40)와, 래치(51), 앤드게이트(52)로 구성되어 CPU로부터 리드신호(MR)해제신호 발생시 상기 제2데이터(D2)를 래치한 후 상기 클럭발생회로(10)의 클럭(CLK)과 논리곱하여 클럭동기신호(Csync)를 발생하는 클럭동기 회로(50)와, 상기 클럭 동기신호(Csync)발생시 제1데이터(D1)를 래치하여 상기 클럭발생회로(10)의 클럭선택신호(F/C)로 인가하는 데이터 선택 래치회로(60) [미하 래치(60)로 칭함]와, 인버터(72), 저항(73), 캐패시터(74), 낸드게이트(75) 및 래치(71)로 구성되어, 상기 클럭동기 신호(csync)를 소정지연시킨 후 펄스를 발생하여, 상기 펄스 신호에 의해 상기 래치(71)를 풀리어시켜 제2데이터(D2)의 발생을 해제하는 동기주기 제어회로(70)로 구성된다.

제4도는 제3도의 각 부분에 대한 동작을 나타내는 타이밍도로서 (4a)는 고속클럭 발생회로(20)에서 발생시키는 고속클럭(EF)에 대한 타이밍도이고 (4b)는 클럭발생 구동회로(10)에서 발생시키는 크리스탈(X-tal)의 클럭에 대한 타이밍도이며 (4c)는 클럭발생 구동회로(10)에서 공급하는 CPU의 동작클럭(CLK)의 클럭의 타이밍도이고 (4d)는 MR의 타이밍도이며 (4e)는 래치(71)의 반전 출력(Q)에 대한 타이밍도이고 (4f)는 래치(51)의 출력(Q)에 대한 타이밍도이며 (4g)는 앤드게이트(52)의 출력 타이밍도이고 (4h)는 낸드게이트(75)의 출력 타이밍도이다.

이하 본 발명에 따른 제3도의 구체회로도 및 제4도의 동작타이밍도를 참조하여 상세히 설명한다. 먼저 서

시스템 전원 "온" 시, 리세트회로(30)는 리세트신호(RESET)를 발생하여 클럭발생회로(10)로 출력한다. 이때 상기 클럭발생회로(10)는 상기 리세트 신호(RESET)에 의해 초기화되는 동시에 리세트 신호(RESET)를 발생하여 CPU와 도시하지 않은 주변장치들은 초기화시킨다. 또한 상기 리세트신호(RESET)의 반전신호(RESET)에 의해 래치(42) 및 래치(60)가 플리퍼된다.

따라서 상기 래치(60)는 최초 "로우" 신호를 상기 클럭발생회로(10)의 클럭선택 신호(F/C : Frequency/Crystal)를 출력한다. 이로인해 상기 클럭발생회로(10)는 크리스탈 발진기(X-tal)에서 발생되는 (4b)같은 정상클럭을 3분주하여 (4c)와 같은 클럭을 발생한다. 상기 클럭발생회로(10)는 마하중국의 인텔(Intel)사에 제작 판매하는 공작공용의 반도체 칩으로서 그 동작을 살펴보면, 제2도중 크리스탈 발진기회로(X-tal), 앤드게이트(AN10-AN20), 오아게이트(OR10), 분주기(DV10-DV20), 인버터(B10, B40) 및 버퍼(B20-B30)로 구성된 부분이 클럭발생부가 되고, 슈미트트리거(ST), 디플립플롭(DF30)으로 구성된 부분이 리세트부가 되며, 앤드게이트(AN30-AN50), 오아게이트(OR20, OR30), 디플립플롭(DF10, DF20), 인버터(inverter)(B50-B60)로 구성된 부분이 레디(Ready)신호 발생부가 된다.

따라서 제1도의 구성을 갖는 클럭발생회로(10)는 CPU에 클럭(CLK) 및 리세트(Reset)와 레디 신호(READY)를 출력하는데, 클럭발생부는 크리스탈 발진기(X-tal)와 분주기(DV10-DV20)로 구성되어 수정발진기(X-tal)에서 발생된 신호가 X1, X2단자를 통해 입력되면, 3분주기(DV10)에서 분주되어 "로우" 펄스폭과 "하이" 펄스폭의 비가 2 : 1의 클럭으로 분주된 후, CPU의 동작클럭(CLK)로 출력된다. 이때 F/C 단자는 "로우"가 되며, 만약 F/C 단자가 "하이"가 되면 EF1단자를 통해 외부신호가 입력되어 기존 클럭으로 사용된다.

여기서 OSC, PCLK는 주변 집적회로용의 범용클럭이며, CSYNC를 "하이"로 하면 CLK, PCLK는 강제적으로 "하이"가 된다. (동기 프리세트). 그리고 3분주(DV10)2분주(DV20)카운터는 CSYNC가 "로우"로 된 다음 분주클럭(EF or X-tal)의 출력의 상승부에서 카운트를 개시하며, CSYNC는 적어도 분주클럭의 2주기 분이 "하이"로 유지하도록 되어 있다.

리세트부는 슈미트 트리거회로(ST)와 디플립플롭(DF30)으로 구성되는데, 리세트 신호(RESET)발생시 상기 슈미트 트리거회로(ST)는 히스테리시스 특성에 의해 리세트 신호(RESET)의 잡음을 제거하며, 디플립플롭(DF30)은 상기 클럭발생부에서 발생되는 클럭(CLK)에 슈미트 트리거(ST)의 출력을 동기시켜 CPU의 리세트(RESET)단으로 출력한다. 그리고 레디제너회로(3)는 앤드게이트(AN30-AN50), 오아게이트(OR20-OR30), 인버터(B50-B60) 및 디플립플롭(DF10-DF20)의 구성으로, 레디신호를 클럭(CLK)의 하강에서 동기시켜 출력하며, 신호가 정상 레디에서는 사용할 수 없으며 AEN1, AEN2는 RDY1, RDY2를 마스크 또는 인에이블시키는 신호이고, RDY1, RDY2에는 필요한 대기(Wait) 주기를 "하이"를 입력한다. 이때 상기 AEN1, AEN2, RDY1, RDY2신호는 웨이트 상태 발생회로에서 발생된다. ASYNC단자는 동기화를 1단으로 하느냐, 2단으로 하느냐를 선택하는 단자이다. RDY1, RDY2가 클럭에 동기해 있고 클럭에 대한 세트업(set up)시간을 만족시킬때는 동기화는 1단으로, ASYNC단자를 "하이" 또는 개방으로 한다. 이에 따라 RDY1, RDY2가 클럭과 비동기로 입력되며 세트업(set up)시간을 만족시키지 않을때는 2단의 동기화가 필요해져 ASYNC를 "로우"로 하여 사용된다. 그리고 RDY1, RDY2의 샘플링 타이밍이 1/3클럭만큼 달라지게 된다.

여기서 클럭을 전환하는 과정을 살펴본다. 먼저 사용자는 클럭종류 선택 및 본 회로를 구동시키기 위한 명령을 발생하게 되며 이 명령에 따라 CPU는 하기(표 1)과 같은 제1 및 제2데이터를 발생하게 된다.

[표1]

데이터	상	하
D1	비	고속클럭(EF) 선택
	고	크리스탈 발진기(X-tal) 선택
	리	클럭 전위회로 액티브(active)
T12	고	클럭 전위 회로 인 액티브(inactive)

현재 크리스탈 발진기(X-tal)의 출력에 의한 CPU동작클럭(CLK)을 발생하는 상태에서 고속클럭 발생회로(20)의 출력(EF)을선택하고자 하는 경우에는, CPU에서 D1="1", D2="1"을 출력하며 클럭전환회로를 선택하기 위한 포트 어드레스를 발생한다. 따라서 어드레스 디코더(41)는 래치(42)로 클럭신호를 발생하게 되며, 이로 인해 래치(42)는 제1 및 제2데이터(D1, D2)를 "하이" 상태로 래치한다. 상기 제2데이터(D2)는 래치(51)의 입력 및 래치(71)의 플리퍼단으로 인가된다. 이때 상기 래치(51)는 메모리 리드신호(MR)를 클럭신호로 입력하게 되는데, 상기 메모리 리드신호(MR)는 (4d)와같이 버스싸이클중 T4주기에서 해제되며, 이 상태에서 CPU는 다음 주기의 버스싸이클 또는 내부 프로그램을 수행하기 위한 준비단계로 데이터 및 프로그램을 액세스하지 않고 있게 된다. 따라서 상기 래치(51)는 메모리 리드신호(MR)해제시점에서 제2데이터(D1)를 (4f)와 같이 래치한다.

앤드게이트(52)는 (4f)와 같은 래치(51)의 출력과(4c)와 같은 CPU클럭(CLK)을 입력하여 두신호가: "하이" 상태인 시점에서 동기시켜 (4g)와 같은 클럭동기 신호(Csync)를 발생한다. 이때 클럭발생회로(10)는 상기(4g)와 같은 "하이" 상태의 클럭 동기신호(Csync)에 의해 크리스탈 발진기(X-tal)의 카운트 동작을 중지하고 (4c)와 같이 CPU클럭(CLK)을 "하이" 상태로 유지한다. 또한 상기 앤드게이트(52)의 클럭동기신호(Csync)가 "하이" 상태로 천이되는 시점에서 래치(60)는 상기 제1데이터(D1)를 래치하여 상기 클럭발생회로(10)의 클럭선택 신호(F/C)로 인가한다. 이때 상기 제1데이터(D1)는 "하이" 상태이므로 클럭발생회로(10)는 고속클럭발생회로(20)의 출력(EF)을 선택하게 된다.

또한 앤드게이트(52)의 출력은 앤드게이트(75) 일측단 및 인버터(72)의 입력으로 가해진다. 이때 상기(4g)와 같은 앤드게이트(52)의 출력은 인버터(72)에 의해 반전되며, 저항(73) 및 캐패시터(74)의 시정수에 의해 일정시간 지연된다. 따라서 앤드게이트(75)는 앤드게이트(52)에서 클럭동기 신호(Csync) 발생시 (4h)와 같이 "로우" 상태로 떨어졌다가 저항(73) 및 캐패시터(74)의 시정수에 의해 다시 "하이" 상태로 올라가게 된다. 따라서 인버터(72), 저항(73) 캐패시터(74) 및 앤드게이트(75)는 클럭동기 신호

(Csync) 발생시(4h)와 같이 펄스를 발생하는 미분회로의 기능을 수행한다. 이때 상기 낸드게이트(5)의 출력이 "하이" 상태로 천이되는 시점에서 래치(71)는 (4e)와 같이 반전 출력단자(Q)로 "로우" 신호를 래치하게 되며, 이로 인해 래치(51)가 클리되어 (4f)와 같이 제2데이터(D2)의 출력을 "로우" 상태로 천이되어 클럭동기 신호(Csync)를 해제시키므로, 클럭발생회로(10)는 래치(60)의 출력(F/C="1"에 의해 (4a)와 같은 고속클럭발생회로(20)의 출력(EF)을 선택하여(4c)와 같은 CPU클럭(CLK)을 출력한다. 따라서 CPU가 동작중인 상태에서 클럭소스를 변환시킬 수 있음을 알 수 있다.

또한 고속클럭에서 정상클럭으로 변환하는 경우에는 CPU에서 D1=0, D2=1를 출력한다. 그러면 전술한 바와 같이 래치(42)는 제1데이터(D1)를 "로우", 제2데이터(D2)를 "하이" 상태로 래치하며 래치(51)는 버스 사이클중 메모리 리드신호(MR)가 해제되는 시점(T4 사이클)에서 제2데이터(D2)를 래치하고, 낸드게이트(52)는 CPU클럭(CLK)이 "하이"가 되는 시점에서 클럭동기 신호(Csync)를 발생한다. 이때 래치(60)는 상기 클럭동기 신호(Csync)에 의해 제1데이터(D1)를 클럭선택 신호(F/C)로 래치하는데 이때의 제1데이터(D1)의 상태는 "로우" 상태가 된다. 따라서 클럭발생회로(10)는 크리스탈 발진기(X-tal)의 출력을 클럭소스로 선택한다. 이후 낸드게이트(75)에서 펄스를 발생하는 순간 래치(71)를 통해 래치(51)의 출력이 클리되어므로 낸드게이트(52)의 출력이 "로우" 상태가 되어 클럭동기 신호(Csync)를 "로우" 상태로 해제시킨다. 따라서 클럭발생회로(10)는 클럭동기 신호(Csync)가 "로우" 상태로 천이되는 시점에서 래치(60)의 출력에 의해 크리스탈 발진기(X-tal)의 출력을 다시 카운트하게 되며, 이로 인해 CPU클럭(CLK)으로 크리스탈 발진기(X-tal)의 분출력이 출력된다.

상술한 바와 같이 두 개의 클럭소스를 이용하여 CPU의 동작클럭을 공급함으로써 CPU의 동작속도를 정상속도보다 높일 수 있는 동시에 고속에서 정상속도로 내릴 수 있으며, 또한 CPU가 작동중에 클럭을 절환시킬 수 있으므로 클럭절환시 재 부팅하는 번거로움을 해소시킬 수 있는 이점이 있다.

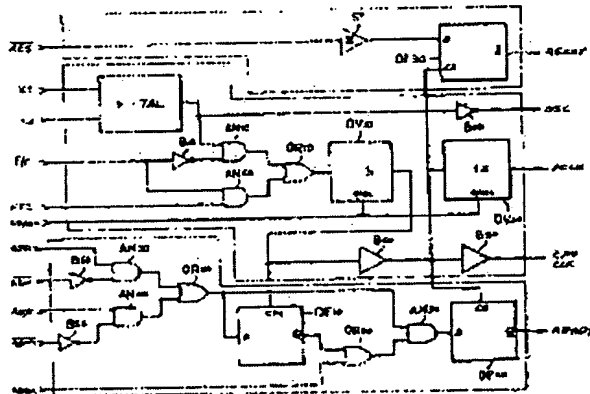
(57) 청구의 범위

청구항 1

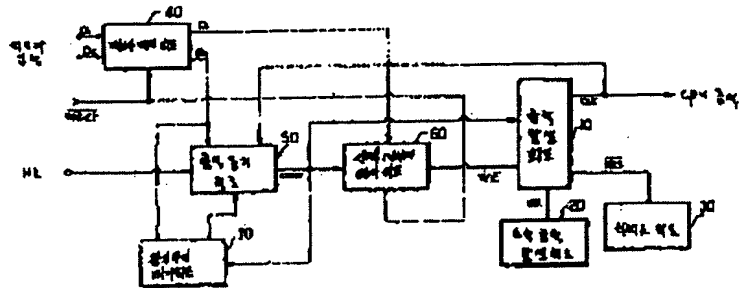
자체 발생의 정상클럭 또는 외부의 고속클럭을 선택하여 CPU로 동작 클럭(CLK)을 공급하는 클럭발생회로(10)와 고속클럭을 발생하여 상기 클럭발생회로(10)로 출력하는 고속클럭발생회로(20)와, 리셋 신호를 발생하여 상기 클럭발생회로(10)로 출력하는 리셋 회로와, CPU의 제어하에 클럭종류를 선택하는 제1데이터(D1) 및 클럭우무를 결정하는 제2데이터(D2)를 래치하는 데이터 래치회로(40)를 구비한 중앙처리장치의 클럭전환 제어회로에 있어서, 상기 제2데이터(D2)발생기 CPU의 리드신호(MR)해제시점에서 래치한 후 상기 클럭발생회로(10)의 클럭(CLK)에 동기 및 신호(Csync)를 발생하는 클럭동기 회로(50)와, 상기 클럭동기 신호(Csync)발생시 상기 제1데이터(D1)를 래치시켜 상기 클럭발생회로(10)의 클럭선택 신호로 공급하는 선택클럭 래치회로(60)와, 상기 클럭동기 신호(Csync)발생시 펄스를 발생하여 상기 클럭동기회로(10)의 제2데이터(D2)를 래치상태를 해제시키는 동기주기 제어회로(70)로 구성됨을 특징으로 하는 중앙처리장치의 클럭 전환 제어회로.

도면

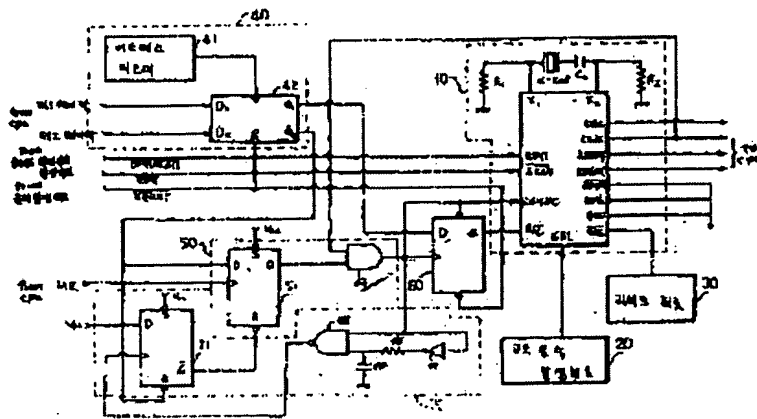
도면1



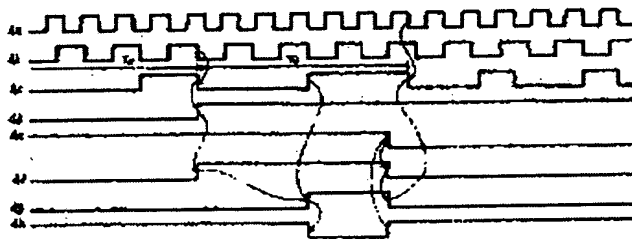
도 2



도 3



도 4



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.